

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04265946 A**

(43) Date of publication of application: **22.09.92**

(51) Int. Cl

**G02F 1/136**

**G02F 1/133**

**G02F 1/1343**

**H01L 27/12**

**H01L 29/784**

(21) Application number: **03027531**

(71) Applicant: **SHARP CORP**

(22) Date of filing: **21.02.91**

(72) Inventor: **KANAMORI KEN  
KATAYAMA MIKIO  
KATO HIROAKI  
YANO KOZO  
IRIE KATSUMI  
FUJIKI YUTAKA**

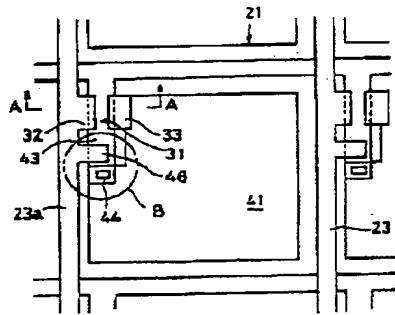
(54) ACTIVE MATRIX DISPLAY DEVICE

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To improve the yield of the active matrix display device and reduce the cost by easily confirming and correcting a picture element defect.

CONSTITUTION: A gate bus line projection part 43 which projects toward a picture element electrode 41 is formed on a gate bus line 21 and a TFT 31 is formed close to its base end. The TFT 31 functions as a switching element and is connected to a picture element electrode 41. The tip of the gate bus line projection part 43 is extended up to the front of a source bus line projection part 46 which is formed projecting toward the picture element electrode 41 from the source bus line 23 and a conductor piece 44 is superposed on the tip part through a gate line insulating film 13. The halfway part of the gate bus line projection part 43 which crosses the source bus line projection part 46 is superposed upon the source bus line projection part 46 through the gate insulating film 13. If a picture element becomes defective in this structure, the source bus line 23 and picture element electrode 41 are short-circuited by laser light irradiation.



BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-265946

(43) 公開日 平成4年(1992)9月22日

(51) Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/133	5 5 0	7820-2K	
	1/1343		9018-2K	
H 0 1 L	27/12	A	8728-4M	
			9056-4M	
			H 0 1 L 29/78	3 1 1 A
			審査請求 未請求 請求項の数 3 (全 9 頁)	最終頁に続く

(21) 出願番号 特願平3-27531

(22) 出願日 平成3年(1991)2月21日

(71) 出願人 000005049  
シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号  
(72) 発明者 金森 謙  
大阪市阿倍野区長池町22番22号 シャープ  
株式会社内  
(72) 発明者 片山 幹雄  
大阪市阿倍野区長池町22番22号 シャープ  
株式会社内  
(72) 発明者 加藤 博章  
大阪市阿倍野区長池町22番22号 シャープ  
株式会社内  
(74) 代理人 弁理士 山本 秀策

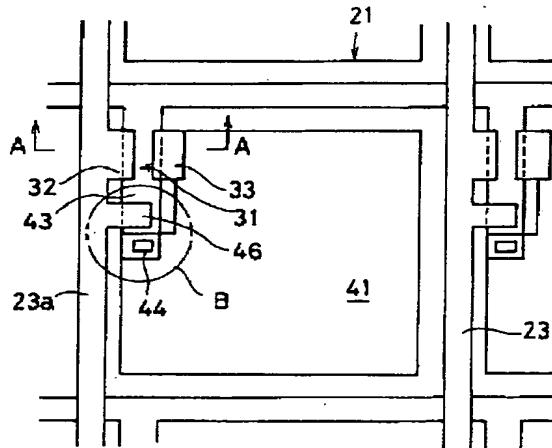
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス表示装置

(57) 【要約】

【目的】 アクティブマトリクス表示装置において、絵素欠陥の確認、修正を容易に行えるようにして、表示装置の歩留りの向上およびコストダウンを図る。

【構成】 ゲートバスライン21に絵素電極41側に向かって突出するゲートバスライン突出部43を形成し、この基端寄りの部分にTFT31を形成する。TFT31はスイッチング素子として機能し、絵素電極41に接続される。ゲートバスライン23から絵素電極41に向けて突出形成されるソースバスライン突出部46の前方まで延伸し、先端部にゲート絶縁膜13を介して導電体片44が重複される。一方、ゲートバスライン突出部43と交差する中途部はゲート絶縁膜13を介して該ソースバスライン突出部46に重複される。以上の構造により、不良絵素が発生した場合に、レーザー光を照射すると、ソースバスライン23と絵素電極41が短絡されるようになる。



## 【特許請求の範囲】

【請求項1】一対の絶縁性基板の何れか一方の基板上にゲートバスラインおよびソースバスラインを格子状に配線し、両バスラインで囲まれた領域に絵素電極をそれぞれ配設すると共に、該絵素電極と該ゲートバスラインおよびソースバスラインにそれぞれスイッチング素子を接続したアクティブマトリクス液晶表示装置において、該ソースバスラインに該絵素電極に向けて突出し、該絵素電極と電気的に非接触のソースバスライン突出部を設ける一方、該ゲートバスラインに該絵素電極に向けて突出し、先端が該ソースバスライン突出部の前方に達するソースバスライン突出部を設け、該ゲートバスライン突出部の基端寄りの部分に該スイッチング素子を形成すると共に、該ゲートバスライン突出部の中途部を絶縁膜を挟んで該ソースバスライン突出部に重疊し、且つ該ゲートバスライン突出部の先端に絶縁膜を挟んで導電体片を設け、該導電体片を該絵素電極に対して電気的に接觸させたアクティブマトリクス表示装置。

【請求項2】前記絵素電極の下部に絶縁膜を挟んで付加容量バスラインを設けた請求項1記載のアクティブマトリクス表示装置。

【請求項3】前記絵素電極の一部を前記ゲートバスラインに隣接するゲートバスラインと絶縁膜を挟んで重疊した請求項1記載のアクティブマトリクス表示装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、表示用絵素電極にスイッチング素子を介して駆動信号を印加することにより、表示を実行する表示装置に関し、特に絵素電極をマトリクス状に配列して高密度表示を行うアクティブマトリクス駆動方式の表示装置に関する。

## 【0002】

【従来の技術】従来より、液晶表示装置、EL表示装置、プラズマ表示装置等においては、マトリクス状に配設された絵素電極を選択駆動することにより、画面上に表示パターンが形成される。表示絵素の選択方式として、個々の独立した絵素電極を配設し、この絵素電極のそれぞれにスイッチング素子を接続して表示駆動するアクティブマトリクス駆動方式が知られている。絵素電極を選択駆動するスイッチング素子としては、TFT（薄膜トランジスタ）素子、MIM（金属-絶縁層-金属）素子、MOSトランジスタ素子、ダイオード、パリスタ等が一般的に使用され、絵素電極とこれに対向する対向電極間に印加される電圧をスイッチング素子でスイッチングして、両電極間に介在させた液晶、EL発光層あるいはプラズマ発光体等の表示媒体を光学的に変調して、該光学的変調が表示パターンとして視認される。このような、アクティブマトリクス駆動方式は、高コントラストの表示が可能であり、液晶テレビジョン、ワードプロセッサ、コンピュータの端末表示装置等に実用化されて

いる。

【0003】図9及び図10はアクティブマトリクス液晶表示装置の従来例を示しており、図9に示される従来例では、対向配置される一対の基板の内の方の基板上に、ゲートバスライン21、21…を横方向に配線し、これと直交する縦方向にソースバスライン23、23…を配線してなる。隣接するゲートバスライン21、21…およびソースバスライン23、23で囲まれた矩形の各領域には、絵素電極41が配設される。

【0004】加えて、ゲートバスライン21から分岐（突出）したゲートバス支線22上には、スイッチング素子として機能するTFT31が形成されている。ゲートバス支線22はTFT31のゲート電極として機能する部分と、該部分より幅の小さい部分とを有する。TFT31のドレイン電極33は絵素電極41に電気的に接続され、ソース電極32はソースバスライン23に接続される。

【0005】図10に示される従来例では、ソースバスライン23から分岐（突出）したソースバス支線90がゲートバスライン21に重疊し、その重疊部分にTFT31が形成される。TFT31のドレイン電極33は絵素電極41に電気的に接続され、ソース電極32はソースバス支線90を介してソースバスライン23に接続されている。

## 【0006】

【発明が解決しようとする課題】ところで、このようなアクティブマトリクス表示装置において、例えばスイッチング素子が不良素子として形成されると、その不良素子に接続された絵素電極には本来与えられるべき信号が入力されないため、表示画面上では点状の絵素欠陥、即ち、点欠陥として認識される。このような点欠陥は、表示装置の表示品位を著しく損ない、製品歩留りの観点から大きな問題になる。

【0007】絵素不良の主たる原因は、以下の2種類のものに大別される。1つは、走査信号（ゲートバスラインからの信号）によってスイッチング素子が選択されている時間内に、絵素電極を十分に充電できないために起こる不良（以下ON不良という）であり、今1つは、スイッチング素子の非選択時に絵素電極に充電した電荷が漏洩する不良（以下OFF不良という）である。

【0008】ここで、ON不良はスイッチング素子の不良に起因するが、OFF不良はスイッチング素子を介して電気的漏洩が起こる場合と、絵素電極とバスラインとの間に電気的漏洩が起こる場合との2種類がある。ON不良、OFF不良いずれの場合も、絵素電極と対向電極との間に印加される電圧が必要な値に達しなくなるため、ノーマリホワイトモード（液晶に印加される電圧が0の時に光の透過率等が最大になる表示モード）を採用する場合は、絵素不良部が輝点に見え、ノーマリブラックモード（電圧0で透過率が最低になる表示モード）を採用する

場合は黒点に見えることになる。

【0009】このような点欠陥はスイッチング素子が配設される基板の作成段階で発見されれば、レーザートリミング等で修正可能である。しかしながら、該基板の作成途中で膨大な数の絵素の中からかかる点欠陥を検出するのは極めて困難であり、製造時間や製造コストを考慮すると、量産レベルでは不可能といってよい。特に、絵素数が10万～50万個におよぶ大型表示パネルでは完全に不可能であるといえる。

【0010】その一方、該基板に対向側基板を貼り合わせ、液晶を封入した段階でバスラインに検査用の電気信号を加えて点欠陥を目視で検出する方法があり、この方法によれば点欠陥を容易に検出できる。しかるに、この方法によれば、製品の歩留りを向上する上で、その後に、例えばソースバスラインと絵素電極とを短絡させ、ゲートの選択、非選択にかかわらず、ソースバスラインからの信号電圧により絵素電極の電荷の充放電を行わせる修正作業を要することになるが、図9および図10に示される従来例では、ソースバスライン23と絵素電極41との配置構造により、かかる修正が困難であり、結局、点欠陥を有する製品を破棄しなければならず、コスト的にデメリットを伴うという欠点がある。

【0011】上記した理由により、製品の歩留りの向上を図る上で大きな制約があったのが現状である。

【0012】本発明は、このような従来技術の欠点を解決するものであり、絵素欠陥が生じても、これを容易に修正でき、製品の歩留りを格段に向かうことができるアクティブマトリクス表示装置を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明のアクティブマトリクス表示装置は、一対の絶縁性基板の何れか一方の基板上にゲートバスラインおよびソースバスラインを格子状に配線し、両バスラインで囲まれた領域に絵素電極をそれぞれ配設すると共に、該絵素電極と該ゲートバスラインおよびソースバスラインにそれぞれスイッチング素子を接続したアクティブマトリクス液晶表示装置において、該ソースバスラインに該絵素電極に向けて突出し、該絵素電極と電気的に非接触のソースバスライン突出部を設ける一方、該ゲートバスラインに該絵素電極に向けて突出し、先端が該ソースバスライン突出部の前方に達するソースバスライン突出部を設け、該ゲートバスライン突出部の基端寄りの部分に該スイッチング素子を形成すると共に、該ゲートバスライン突出部の中途部を絶縁膜を挟んで該ソースバスライン突出部に重複し、且つ該ゲートバスライン突出部の先端に絶縁膜を挟んで導電体片を設け、該導電体片を該絵素電極に対して電気的に接触させてなり、そのことにより上記目的が達成される。

【0014】また、前記絵素電極の下部に絶縁膜を挟んで付加容量バスラインを設けたり、前記絵素電極の一部を前記ゲートバスラインに隣接するゲートバスラインと

絶縁膜を挟んで重複することにしてもよい。

【0015】

【作用】上記構成のアクティブマトリクス表示装置において、スイッチング素子が配設される基板と対向電極側の基板とを貼り合わせ、両者間に液晶を封入した後、ゲートバスライン、ソースバスラインおよび絵素電極に適当な駆動信号を与えると、アクティブマトリクス表示装置が表示パターンを表示するので、その表示画面を視認することにより、点欠陥を容易に発見できる。

【0016】そして、点欠陥を発見すると、まず、ゲートバスライン突出部のスイッチング素子形成部と、ソースバスライン突出部との重複部との間に基板外方よりレーザー光等のエネルギーを照射し、照射部の両側における電気的な接続状態を解除する。次いで、ソースバスライン突出部とゲートバスライン突出部の重複部に同様にレーザー光を照射する。レーザー光の照射スポットは重複部分の面積に比して十分に小さいものとする。これにより、重複部における絶縁膜が破壊され、絶縁膜の両側に位置する金属配線、つまりソースバスラインとゲートバスラインの突出部が溶融し、両者が電気的に接続される。すなわち、ソースバスライン突出部およびゲートバスライン突出部を備え、かつ両者の重複部を設けたことにより両者を容易に電気的に接続できるのである。

【0017】次いで、ゲートバスライン突出部の先端部とここに重複されている導電体片の重なり部分に該重なり部分より小面積のレーザースポットを照射し、上記同様にしてゲートバスライン突出部と導電体片間を電気的に接続する。この接続作業も、構造上容易に行える。

【0018】ここで、導電体片は予め絵素電極に電気的に接続されているので、後の2回のレーザー照射により、ソースバスラインと絵素電極が電気的に接続されることになる。すなわち、両者が短絡されるのである。

【0019】このようにソースバスラインと絵素電極を短絡すると、絵素電極にはゲートバスラインからのゲート信号にかかわらず、ソースバスラインのソース信号がそのまま入力されることになる。それ故、正常状態の絵素では絵素電極にゲートバスラインの選択時間内に供給されたソース信号のみが充電され、これを1周期分(次の選択時間が来るまでの時間)保持するのに対し、点欠陥を発生し、上記のようにソースバスラインと絵素電極が短絡される不良絵素では、ゲートバスラインの選択、非選択にかかわらず絵素電極に常にソース信号が充電されることになる。従って、1周期を通して見ると、この間に入力されたソース電圧の実行値が液晶に印加されることになる。

【0020】それ故、不良絵素は該不良絵素の帰属するソースバスラインに付属した全ての絵素の平均的な明るさに点灯することになる。これは完全な輝点でも黒点でもない。この結果、上記修正処理が施された絵素は、正常に作動している訳ではないものの、視覚上、欠陥とし

5

て極めて判別しにくい状態になる。すなわち、表示上正常な絵素といってよい状態になる。

【0021】なお、短絡された部分での電気抵抗はスイッチング素子の選択状態での抵抗(ON抵抗)よりも小さい値に設定する必要がある。以下にその理由を示す。通常、ON抵抗はスイッチング素子の選択時間内に絵素電極に電荷を充電できるだけの電流が流れるように設定されており、短絡された抵抗がこのON抵抗よりも大きい場合には、スイッチング素子の選択時間の幅をもって次々に入力されるソース信号を忠実に書き込むことが時間的にできなくなり、絵素電極にかかる電圧の実効値が小さくなってしまい、他の絵素との明るさが目立ってしまい、不良絵素と認識されることになるからである。

【0022】

【実施例】本発明の実施例について以下に説明する。

【0023】図1～図4は本実施例のアクティブラトリクス表示装置を示しており、この表示装置は、上下一対の透明絶縁性基板1、2間に液晶18を封入してなる。下側の基板1上には、走査線として機能する複数本のゲートバスライン21、21…および信号線として機能する複数本のソースバスライン23、…が縦横に配線され、両バスライン21、23で囲まれる矩形上の領域それぞれに絵素電極41がマトリクス上に配設される。ゲートバスライン21にはこれから絵素電極41側に向けて突出するゲートバスライン突出部43が形成され、該ゲートバスライン突出部43の基端寄りの部分にTFT31が形成される。TFT31はスイッチング素子として機能し、絵素電極41に接続される。ゲートバスライン突出部43の先端は、ソースバスライン23から絵素電極41に向けて突出形成されるソースバスライン突出部46の前方まで延伸し、先端部にゲート絶縁膜13(図2および図3参照)を介して導電体片44が重疊される。一方、ゲートバスライン突出部43のソースバスライン突出部46と交差する中途部はゲート絶縁膜13を介して該ソースバスライン突出部46に重疊される。

【0024】以下各部の詳細を制作手順に従って説明する。図2に示すように、まず透明絶縁性基板1上にゲートバスライン21を作成する。この作成は、一般にTa、Ti、Al、Cr等の单層又は多層の金属をスパッタリング法により透明絶縁性基板1上に堆積し、その後にバーニングして作成される。この時、同時にゲートバスライン突出部43が作成される。本実施例では透明絶縁性基板1としてガラス基板1を用いた。なお、図4に示すように、ゲートバスライン21の下にベースコート膜としてTa<sub>2</sub>O<sub>5</sub>等の絶縁膜11を形成することにしてもよい。

【0025】次いで、ゲートバスライン21(ゲートバスライン突出部43を含む)上にゲート絶縁膜13を積層する。本実施例では、プラズマCVD法によりSiN膜を300nm堆積してゲート絶縁膜13とした。な

10

6

お、ゲート絶縁膜13を形成する前に、ゲートバスライン21を陽極酸化して、Ta<sub>2</sub>O<sub>5</sub>からなる酸化膜12を形成してもよい。

【0026】次いで、プラズマCVD法により半導体層14およびエッティングストッパ層15をゲート絶縁膜13の上に連続して形成する。半導体層14はアモルファスシリコン(a-Si)層で構成され、エッティングストッパ層15はSiN層で構成される。それぞれの膜厚は30nm、200nmとする。そして、エッティングストッパ層15をバーニングし、その後、リンを添加したn型a-Si層16をプラズマCVD法で80nmの厚みで積層する。このn型a-Si層16は半導体層14と、その後に積層されるソース電極32又はドレイン電極33(図2参照)とのオーム接続を良好にするために形成される。

20

【0027】次いで、n型a-Si層16をバーニングし、その後、ソース金属をスパッタリング法により積層する。ソース金属としては、一般に、Ti、Al、Mo、Cr等が用いられるが、本実施例ではTiを使用した。そして、Ti金属層をバーニングし、ソース電極32およびドレイン電極33を得る。これにより、図2にその構造を示すTFT31が作成される。この時、図4に示すようにソースバスライン突出部46と導電体片44が同時に形成される。

30

【0028】次いで、絵素電極41となる透明導電性物質を積層する。本実施例では透明導電性物質として、ITO(Indium tin oxide)をスパッタリング法により積層し、これをバーニングして絵素電極41を得る。該絵素電極41は上記のようにゲートバスライン21とソースバスライン23で囲まれた矩形の領域に積層形成され、図2に示すように、その端部はTFT31のドレイン電極33の端部に積層され、また、図3に特にわかりやすく示されるように、導電体片44上に積層される。これにより、絵素電極41とTFT31のドレイン電極33および導電体片44が導通状態になる。

40

【0029】絵素電極41を形成したガラス基板1上の全面には、SiNからなる保護膜17が堆積される。該保護膜17は、絵素電極41の中央部で除去した窓あき形状にしてもよい。保護膜17上には配向膜19が形成される。該保護膜17についても、その中央部を除去した窓あき形状にしてもよい。図2に示すように、ガラス基板1に対向するガラス基板2上には、対向電極3及び配向膜9が形成される。そして、これらのガラス基板1、2の間に液晶18を封入し、本実施例のアクティブラトリクス表示装置が作成される。

50

【0030】次に、本実施例のアクティブラトリクス表示装置において絵素欠陥が生じた場合の修復方法について説明する。通常、絵素電極41はTFT31TFT31によって駆動され、TFT31が正常に動作している限り、ゲートバスライン21とソースバスライン23に

囲まれた領域の絵素は正常に動作し、表示上の問題は発生しない。ところが、TFT31が異常を来たしたり、ソースバスライン23と絵素電極41の間に弱い電流リーフが発生したりすると、絵素欠陥が現れ、表示上の問題として認識される。この問題を本実施例においては以下のようにして修復する。

【0031】すなわち、アクティブマトリクス表示装置を駆動して、絵素欠陥を確認すると、図3に示すように、破線で囲まれた領域51に、光エネルギーの一例としてYAGレーザー光を照射し、該領域51の金属を四散させ、これによりゲートバスライン21とゲートバスライン突出部43との電気的な接続状態を解除する。次いで、同じく破線で囲まれた領域52にレーザー光を照射し、ソースバスライン突出部46とゲートバスライン突出部43との間にあるゲート絶縁膜13を破壊し、両突出部46、43の金属を溶融させて両者を導通する。

【0032】なお、レーザー光の照射はTFT31が配設される基板1側から行ってもよいし、或は対向電極側の基板2側から行うことにもよいが、本実施例のアクティブマトリクス表示装置では、基板2の表面側が遮光用の金属で覆われ、直接レーザー光を照射できないので、基板1側から行うものとする。図4にレーザー光の照射方向を白抜き矢符で示す。

【0033】次いで、同様の破線で示される領域53、すなわち、ゲートバスライン突出部43と導電体片44との重疊部分にレーザー光を照射する。この領域53へのレーザー光の照射によってゲート絶縁膜13が破壊され、該ゲートバスライン突出部43と導電体片44とが溶融し、これにより両者が電気的に導通する。以上のレーザー照射によって、領域52及び53の二箇所で上下の金属配線を導通状態になると、結局、ソースバスライン23と導電体片44、即ち絵素電極41が短絡される。

【0034】この短絡によって、上記した理由により、不良絵素が全絵素の平均的な明るさに点灯され、表示上欠陥が解消されることになる。一方、ゲートバス支線22とTFT31とは保護膜17で保護されているため、レーザー光の照射によって溶融した金属原子が表示媒体である液晶18中に混入することができない。従って、液晶18の特性が劣化することがない。

【0035】なお、領域51、52、53に対するレーザー光の照射順序は、上記順序に限定されるものではない。また、照射スポットも図示の領域に限定されるものではなく、例えば、領域52、53については上下に導電体層が重疊されている部分であればどこでもよい。

【0036】次に、図5に従い絵素電極41とソースバスライン23を上記のようにして短絡したときの、TFT31の動作について説明する。図5において、Gnはn番目のゲートバスライン21の信号(電圧信号)、Smはm番目のソースバスライン23の信号、Pn、mはn

番目のゲートバスライン21とm番目のソースバスライン23との交差部分に存在する絵素電極41に与えられる信号を模式的に示している。

【0037】図5(a)に示すように、ゲートバスライン21の信号の電位がVgh(ハイレベル)の時にTFT31が選択され、電位がVgl(ローレベル)の時にTFT31が非選択状態になる。図5(c)に示すように、TFT31が選択されると、パルス状の信号V0が絵素電極41に充電される。絵素電極41が正常に作動している時はこの信号を図5(a)に示される非選択時間T<sub>off</sub>の間保持し、次の選択時間T<sub>on</sub>の時に-V0の信号をソースバスライン23に書き込むことになる。

【0038】図5(b)に示すGn+1は(n+1)番目のゲートバスライン21に与えられる信号を示しており、該信号Gn+1はn番目のゲートバスライン21の選択時間T<sub>on</sub>が終了したときに選択状態が開始され、このときにソースバスライン21に-V1の信号を書き込むことになる(図5(c)参照)。図5(a)および(b)からわかるように、ゲートバスライン21へ入力される信号はライン番号と共に順次遅れて行き、次にn番目のゲートバスライン21に選択状態が循環してくるまで上記時間T<sub>off</sub>にわたって非選択状態が続く。この非選択状態においても、ソースバスライン21には各絵素電極41毎に書き込むべき信号が絶えず入力されている。

【0039】図5(d)に示すように、正常な絵素電極41は、ゲート信号Gnが選択状態にあるときに、ソースバスライン23から入力される信号Smに応じて絵素電極41に電荷が充電され、上記基板2側の対向電極3との間の電位差で液晶18の分子配列が変わり、表示機能を果たしている。このときゲートバスライン21の非選択時間T<sub>off</sub>内にソースバスライン23に入力されている信号Smは全く表示には寄与しない。

【0040】一方、前述のようにレーザー光の照射によって絵素電極41とソースバスライン23とが短絡されている状態では、ゲートバスライン21の選択・非選択にかかわらず、絵素電極41はソースバスライン23から入力された信号Smの全てに反応し、その電荷を充電・放電する。この際の信号を図5(e)にP'n、mで示す。レーザー光の照射によって修正された絵素電極41には、非選択時間T<sub>off</sub>の間にソースバスライン23の信号Smがそのまま入力されるため、上記液晶18に作用する電圧は印加された信号Smの実効値になる。このため、ソースバスライン23に与えられた信号Smが全てV0となるとき以外は、信号P'n、mの実効値がV0になることはあり得ないが、信号電圧P'n、mの実効値の電圧はm番目のソースバスライン23に接続される全ての絵素電極41の平均的な値になる。このことは、表示装置としてはm番目のソースバスライン23に沿って配列された各絵素電極41の平均的な明るさで点灯することを意味し、通常の表示状態においては各絵素電極41

の明るさは表示品位をほとんど損なうことがない。

【0041】図6は上記実施例の変形例を示しており、この変形例では、ゲート絶縁膜13と導電体片44との間及びゲート絶縁膜13とソースバスライン突出部46との間に、半導体層14、エッチングストップ層15、コンタクト層16を挿入した構造になっている。これらの層14~16は上下の導電体間の絶縁性を高めるために設けられている。また、図示されていないが、半導体層14とエッチングストップ層15或はコンタクト層16のみを挿入する構造であってもよい。

【0042】図7は本発明の他の実施例を示しており、この実施例では、各絵素電極41が付加容量42を有する構成をとる。付加容量42は、ゲートバスライン21に平行に設けられた付加容量バスライン24と、絵素電極41との間に介在される前記ゲート絶縁膜13とで構成される。今少し説明すると、ゲートバスライン21が絵素電極41に重疊され、ゲートバスライン21と絵素電極41との重疊部に図中斜線で示す付加容量42が形成される。付加容量バスライン24は上記ゲートバスライン21と同じ金属を積層し、ゲートバスライン21のバーニングの際に同時に形成される。

【0043】本実施例では、付加容量バスライン24に上記対向電極3と同じ信号が入力されるようになっている。従って、付加容量42は電気回路的には絵素電極41とガラス基板2との間に封入される液晶18の液晶容量に並列に設けられることになる。このような付加容量42の存在により、絵素電極41の電荷保持能力が向上し、結果、表示装置としての性能を向上できることになる。本実施例においても、上記実施例同様に絵素欠陥の修正を行うことができる。

【0044】図8は本発明の更に他の実施例を示しており、この実施例では、上記他の実施例のように付加容量42を設けると、表示特性を向上できるものの、付加容量バスライン24の部分だけ光の遮断領域が増加し、結果的に画面全体が暗くなるので、これを解決すべく隣接するゲートバスライン21上に付加容量42を設ける構成をとる。

【0045】すなわち、付加容量バスライン24がゲートバスライン21に重疊して設けられ、前記ゲート絶縁膜13を介在させた絵素電極41とゲートバスライン21との重疊部に図中斜線で示される付加容量42を形成した構成をとる。本実施例では、隣接するゲートバスライン21が非選択状態のときにガラス基板2上の対向電極3と同じ信号をゲートバスライン21に入力し、該ゲートバスライン21を付加容量バスライン24として使用する。これにより、光の遮断領域が減少し、表示画面が暗くなるのを防止できる。この実施レーザー光部によれば、表示特性を更に一層向上できることになる。

【0046】図示する実施例の全容は以上の通りである

が、本発明は以下に示す各種の変更が可能である。すなわち、絵素電極を駆動するスイッチング素子はTFTに限定されず、MIM素子、MOSトランジスタ素子、ダイオード或はパリスタを用いることもできる。また、TFTの構造についても上記実施例のものに限定されず、ソースバスラインを下面に配置し、ゲートバスラインを上面に配置した構造であってもよい。

【0047】

【発明の効果】本発明のアクティブマトリクス表示装置は、その構造により、該表示装置の全絵素電極を駆動した状態において、絵素欠陥を容易に検出できる。しかも、基板外方よりレーザー光等のエネルギーを照射することにより絵素欠陥の修正を容易に行える。従って、本発明によれば、高い歩留りで表示装置を生産することができ、表示装置のコストダウンに寄与することができる。

【図面の簡単な説明】

【図1】本発明のアクティブマトリクス表示装置の平面図。

【図2】図1のA-A線断面図。

【図3】図1のB部拡大図。

【図4】図3のC-C線断面図。

【図5】ゲートバスライン、ソースバスラインおよび絵素電極に入力される信号を示すタイミングチャート。

【図6】本発明の変形例を示す図4同様の断面図。

【図7】本発明の他の実施例を示す平面図。

【図8】本発明の他の実施例を示す平面図。

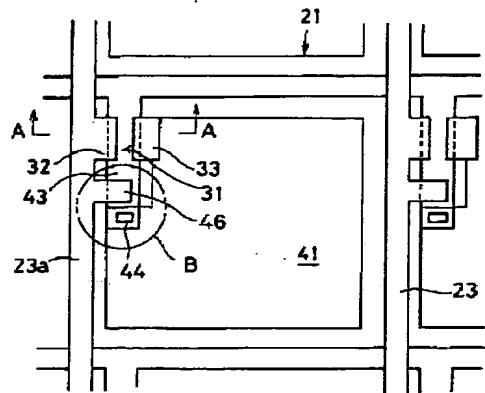
【図9】従来のアクティブマトリクス表示装置を示す平面図。

【図10】従来のアクティブマトリクス表示装置を示す平面図。

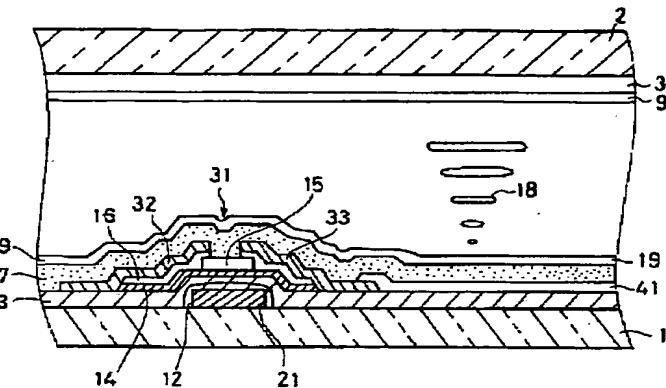
【符号の説明】

- 1 絵素電極が配設される側のガラス基板
- 2 対向電極が配設される側のガラス基板
- 3 対向電極
- 13 ゲート絶縁膜
- 18 液晶
- 21 ゲートバスライン
- 23 ソースバスライン
- 24…付加容量バスライン
- 31…TFT
- 32…ソース電極
- 33…ドレイン電極
- 41…絵素電極
- 42…付加容量
- 43…ゲートバスライン突出部
- 44…導電体片
- 46…ソースバスライン突出部
- 51、52、53…レーザー光の照射領域

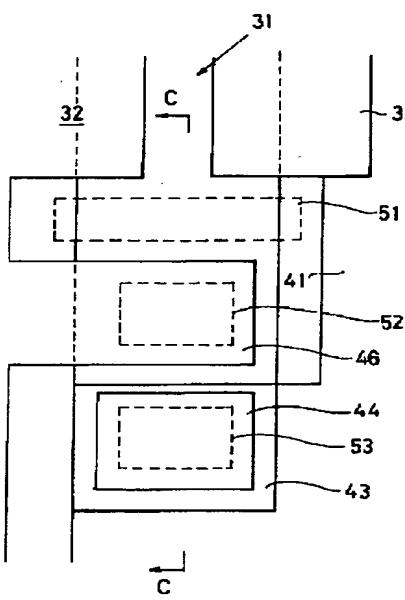
[図1]



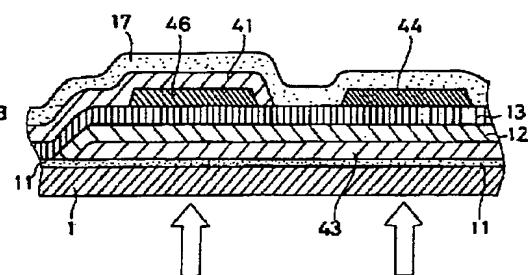
[図2]



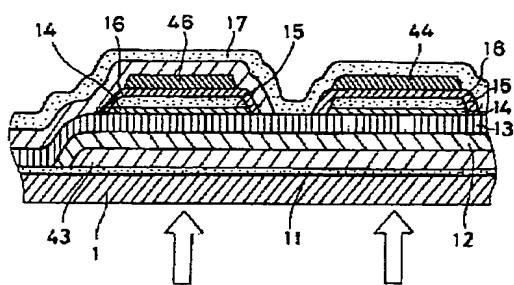
[図3]



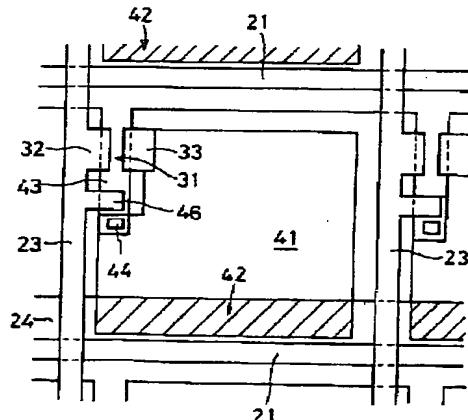
[图4]



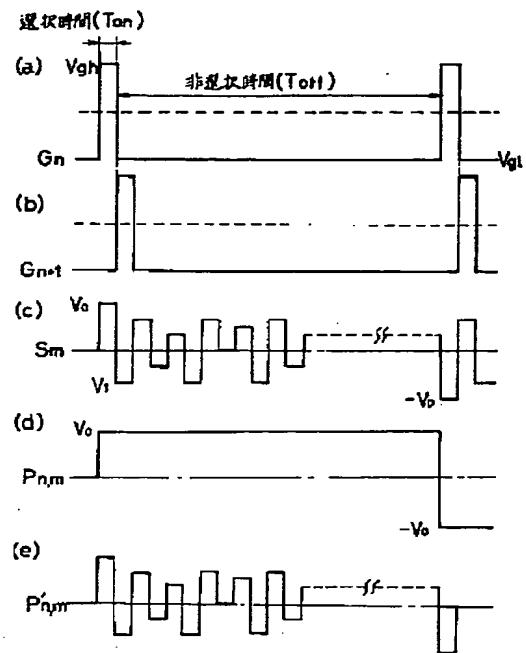
【圖6】



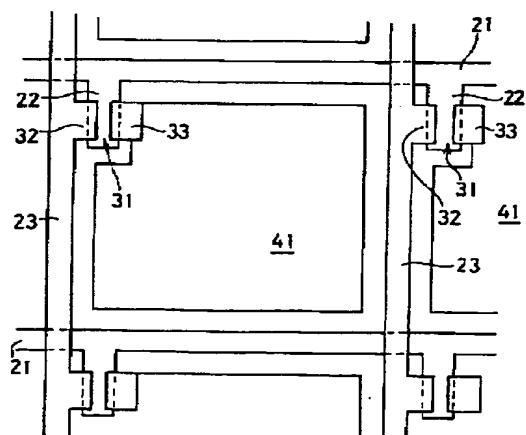
【図7】



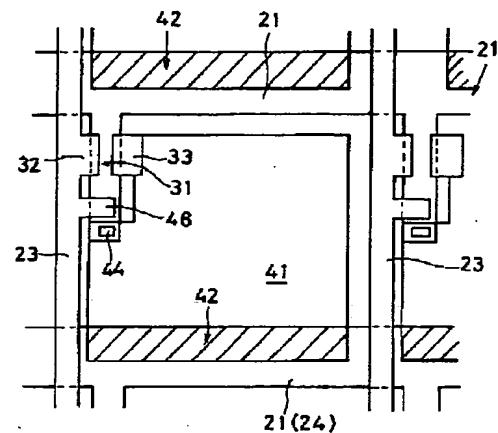
【図5】



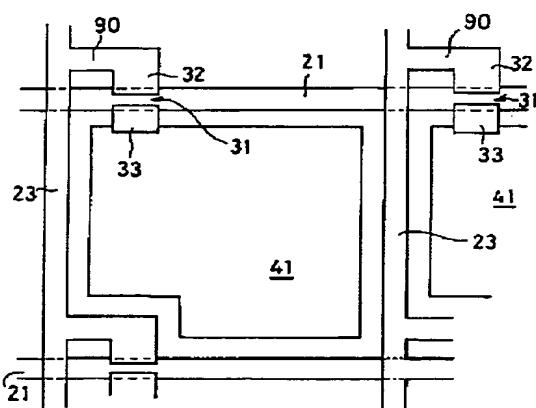
【図9】



【図8】



【図10】



フロントページの続き

(51) Int. Cl.<sup>5</sup>  
H 01 L 29/784

識別記号

府内整理番号

F I

技術表示箇所

(72) 発明者 矢野 耕三  
大阪市阿倍野区長池町22番22号 シャープ  
株式会社内

(72) 発明者 入江 勝美  
大阪市阿倍野区長池町22番22号 シャープ  
株式会社内

(72)発明者 藤木 裕  
大阪市阿倍野区長池町22番22号 シヤープ  
株式会社内